

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-077731

(43)Date of publication of application : 15.03.2002

---

(51)Int.Cl. H04N 5/335

H01L 27/146

H04N 5/232

// H04N101:00

---

(21)Application number : 2000-256356 (71)Applicant : CANON INC

(22)Date of filing : 25.08.2000 (72)Inventor : SHINOHARA MASATO

---

(54) SOLID-STATE IMAGE PICKUP DEVICE AND IMAGE PICKUP SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the numbers of MOS transistors and gate potential control lines constituting the pixels of a solid-state image pickup device.

SOLUTION: The solid-state image pickup device has pixels each containing a photoelectric conversion section 2, a read-out means 3 which reads out signals from the conversion section 2, and a reset means 5 which supplies a reset signal to the input section of the read-out means 3 for resetting the input section and an output line 8 through which the signals from the read-out means 3 are read out.

The reset means 5 is controlled according to the signal level of the output line 8.

**\* NOTICES \***

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect

the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]A solid state camera which is provided with the following and characterized by controlling said resetting means according to a signal level of said output line.

A photoelectric conversion part.

A reading means which reads a signal from said photoelectric conversion part.

A pixel which includes a resetting means for supplying a reset signal to said input part in order to reset an input part of said reading means.

An output line in which a signal from said reading means is read.

[Claim 2]A reading means which reads a signal from a photoelectric conversion part and said photoelectric conversion part, respectively, Signal wiring for having two or more pixels arranged to a horizontal direction and a perpendicular direction, including a resetting means for resetting an input part of said reading means, and making said reading means drive, A solid state camera, wherein it carries out signal wiring for supplying a reset signal to an input part of said reading means via said resetting means in common and said common signal wiring supplies a signal independently for two or more horizontal pixels of every.

[Claim 3]A solid state camera, wherein reset potential for resetting an input part of said reading means is supplied from power supply wiring connected to this reading means in the solid state camera according to claim 1 or 2.

[Claim 4]A solid state camera characterized by said reading means and said resetting means being MOS transistors, respectively in the solid state camera according to claim 1 or 2.

[Claim 5]In a solid state camera of a statement, one claim of claims 1-4 is equipped with a transfer switch between said photoelectric conversion part and an input part of said reading means, A solid state camera, wherein a signal charge accumulated in this photoelectric conversion part is transmitted to an input part of said reading means through this transfer switch.

[Claim 6]A solid state camera, wherein two or more transfer switches are connected to an input part of said reading means and a signal charge is transmitted independently of two or more photoelectric conversion parts by each transfer switch in a solid state camera given in one claim of claims 1-4.

[Claim 7]An imaging system comprising:

A solid state camera given in one claim of claims 1-6.

An optical system which carries out image formation of the light to this solid state camera.

A digital disposal circuit which processes an output signal from this solid state camera.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]In order that especially this invention may reset the input part of a photoelectric conversion part, the reading means which reads the signal from said photoelectric conversion part, and said reading means with respect to a solid state camera and an imaging system, It is related with the solid state camera and imaging system which have a pixel including the resetting means for supplying a reset signal to said input part.

[0002]

[Description of the Prior Art]Conventionally, as a solid state camera, many CCD is used from the goodness of the signal to noise ratio. However, on the other hand, development of what is called an amplification type solid state image sensor that makes the strong point the simplicity of a way and smallness of power consumption to be used has also been performed. With an amplification type solid state image sensor, the signal charge accumulated in the

light-receiving pixel is led to the control electrode of the transistor with which the picture element part was equipped, The SIT type image sensor using [ are a thing of the type which outputs the amplified signal from a main electrode, and ] SIT (static induction transistor) as a transistor for amplification, There are a CMOS sensor using CMD and the MOS transistor using BASIS using a bipolar transistor and JFET (junction field effect transistor) which a control electrode depletion-izes, etc. Since matching with a CMOS process is good and especially the CMOS sensor can carry out [ on chip ]-izing of the circumference CMOS circuit, power is directed towards development.

[0003]Drawing 4 is a circuit diagram showing the conventional CMOS image sensor.

In the figure, 1 is a unit pixel, and since it is easy, it may be 2x2 pixels.

The photo-diode for 2 receiving light and accumulating a signal charge, the MOS transistor for signal-charge amplification in 3, The MOS transistor for transmission for 4 to transmit the signal charge accumulated in the photo-diode 2 to the gate electrode part of MOS transistor 3, The MOS transistor for reset for 5 to reset the gate electrode potential of MOS transistor 3 and 6 are power-supply-potential supply lines, and the drain electrode of MOS transistor 5 for reset and the drain electrode of MOS transistor 3 for amplification are connected to the power-supply-potential supply line 6 in common. The MOS

transistor for selecting switches for 7 to choose output picture elements and 8 are pixel output lines, if MOS transistor 7 for selecting switches is turned on, the source electrode and the output line 8 of MOS transistor 3 for amplification will flow, and the signal output which is the selected pixel will be led to the output line 8. 9 is a MOS transistor for constant current supply for supplying constant current to the pixel output line 8, Load current is supplied to MOS transistor 3 for amplification through MOS transistor 7 for selecting switches of the selected pixel, He operates MOS transistor 3 for amplification as a source follower, and is trying for the gate potential of MOS transistor 3 and potential with a certain fixed voltage difference to appear in the output line 8.

[0004]A transfer control line for 10 to control the gate potential of MOS transistor 4 for transmission, The reset control line for 11 to control the gate potential of MOS transistor 5 for reset, A selection-control line for 12 to control the gate potential of MOS transistor 7 for selection and 13 are the constant potential supply lines for supplying fixed potential to the gate of MOS transistor 9 so that saturation region operation from which MOS transistor 9 serves as a constant current supply source may be carried out. A pulse terminal for a pulse terminal for 14 to supply a transfer pulse to the transfer control line 10 and 15 to supply a reset pulse to the reset control line 11, A vertical scanning circuit for a pulse terminal for 16 to supply a selection pulse to the selection-control line 12 and 17



to carry out the selection scan of the line of the pixel of matrix layout one by one and 18 are the output lines of the vertical scanning circuit 17, 18-1 is the 1st-line selected output line, and 18-2 is the 2nd-line selected output line. The MOS transistor for a switch for 19 to lead the pulse from the pulse terminal 14 to the transfer control line 10, The MOS transistor for a switch for 20 to lead the pulse from the pulse terminal 15 to the reset control line 11, 21 is a MOS transistor for a switch for leading the pulse from the pulse terminal 16 to the selection-control line 12, and the gate of MOS transistors 19, 20, and 21 is connected to the line selected output line 18, and it is decided by the state of the line selected output line 18 of which line a pixel will drive.

[0005]Capacity for 22 to be the output readout circuitry from a pixel, and for 23 hold the reset-signal output of a pixel, The MOS transistor for a switch for capacity for 24 to hold the lightwave signal output of a pixel and 25 to turn on and off a flow with the pixel output line 8 and the capacity 23, The MOS transistor for a switch for 26 to turn on and off a flow with the pixel output line 8 and the capacity 24, The noise output line to which the reset output with which 27 was held at the capacity 23 is led, The MOS transistor for a switch for the signal output line to which the optical power by which 28 was held at the capacity 24 is led, and 29 to turn on and off a flow with the capacity 23 and the noise output line 27, The MOS transistor for a switch for 30 to turn on and off a flow

with the capacity 24 and the signal output line 28, The MOS transistor for noise output line reset for 31 to reset the potential of the noise output line 27, The MOS transistor for signal output line reset for 32 to reset the potential of the signal output line 28, A power supply terminal for 33 to supply reset potential to the source electrode of MOS transistors 31 and 32 for reset and 34 are the horizontal scanning circuits for choosing the above-mentioned capacity 23 and 24 provided for every sequence of the pixel of matrix layout one by one, It is an output line in which 35-1 chooses the 1st row, and an output line in which 35-2 chooses the 2nd row, and the output line of this horizontal scanning circuit 34 is connected to MOS transistors 29 and 30 for a switch. A pulse supply terminal for 36 to impress a pulse to the gate of MOS transistors 31 and 32 for reset, A pulse supply terminal for 37 and 38 to impress a pulse to the gate of MOS transistors 25 and 26 for a switch respectively, the differential amplifier which 39 amplifies a part for the difference voltage of the potential of the noise output line 27 and the potential of the signal output line 28, and is outputted, and 40 are the output terminals of the differential amplifier 39.

[0006]Next, the timing chart of drawing 5 is used and operation of the sensor of drawing 4 is explained. All the MOS transistors shown by drawing 4 are used as N type, and presuppose that gate potential is turned off on an ON state and the level of Low with the level of High. The number which shows the timing pulse in

drawing 5 is coincided with the number of the pulse input terminal in drawing 4.

[0007]If the line selected output line 18-1 serves as a High level by operation of the vertical scanning circuit 17 first, the 1st-line operation of a pixel row sequence will be attained. If the pulse terminal 16 serves as a High level, the source follower output of a pixel will be outputted to the output line 8 because the source of MOS transistor 3 for amplification of a pixel connects with the constant current source 9 through the output line 8. And the gate section of MOS transistor 3 for amplification is reset by using the pulse terminal 15 as a High level by MOS transistor 5 for reset. Next, when a High pulse is impressed to the pulse supply terminal 37, the reset output of a pixel is accumulated in the capacity 23 through MOS transistor 25.

[0008]Next, the signal charge accumulated in the photo-diode 2 is transmitted to the gate of MOS transistor 3 through MOS transistor 4 for transmission by impressing a High pulse to the terminal 14. When a High pulse is succeedingly impressed to the terminal 38, the output for which the signal was added to the reset output of the pixel is accumulated in the capacity 24 through MOS transistor 26. Since the reset output of a pixel has dispersion in the threshold voltage of MOS transistor 3 of each pixel, it produces dispersion. Therefore, the difference of the output accumulated in the capacity 23 and the capacity 24 serves as a pure signal without a noise. If the horizontal scanning circuit 34 is

moved, output line 35-1,35-2 will be set to High one by one, and the output accumulated in the capacity 23 and 24 of each sequence will be led to the level output lines 27 and 28 through MOS transistors 29 and 30, respectively. Before the High pulse of output line 35-1,35-2 is outputted, the terminal 36 is used as a High level and the level output lines 27 and 28 are reset through MOS transistors 31 and 32. The signal output added to the picture-element-reset output and pixel reset level which were led to the level output lines 27 and 28 is inputted into the differential amplifier 39, a part for a reset level was deducted, namely, a pixel signal without a noise is outputted from the output terminal 40.

[0009]

[Problem(s) to be Solved by the Invention]However, the technical problem that there were many MOS transistors which constitute one pixel from an above-mentioned conventional example, and control lines, and it was difficult to realize a reduction pixel occurred. That is, in the conventional example shown in drawing 4, it had 1 pixel of four MOS transistors besides a photo-diode, a power source wire, and a pixel output line and the three control lines, and realization of the reduction pixel was disadvantageous compared with the pixel of CCD which is simple composition.

[0010]The main purpose of this invention reduces the number of the transistor which constitutes the pixel of the sensor of XY address types, such as a CMOS

sensor, and the control lines, and there is in making reduction of a pixel easy.

[0011]

[Means for Solving the Problem and its Function]In order that a solid state camera of this invention may reset an input part of a photoelectric conversion part, a reading means which reads a signal from said photoelectric conversion part, and said reading means, It has a pixel including a resetting means for supplying a reset signal to said input part, and an output line in which a signal from said reading means is read, and said resetting means is controlled according to a signal level of said output line.

[0012]A reading means from which a solid state camera of this invention reads a signal from a photoelectric conversion part and said photoelectric conversion part, respectively, Signal wiring for having two or more pixels arranged to a horizontal direction and a perpendicular direction, including a resetting means for resetting an input part of said reading means, and making said reading means drive, Signal wiring for supplying a reset signal to an input part of said reading means via said resetting means is carried out in common, and said common signal wiring supplies a signal independently for two or more horizontal pixels of every.

[0013]This invention is explained taking the case of composition of drawing 1.

[0014]As shown in drawing 1, this invention a reset potential supply line linked to

a drain part of MOS transistor 5 for reset used as a resetting means, It communalizes with a power supply line linked to a drain part of MOS transistor 3 for amplification used as a reading means, The pixel output line 8 is connected to a gate of MOS transistor 5 for reset, and it makes it possible to lose a MOS transistor for line selection, its gate potential control line, and the gate potential control line of a MOS transistor for reset.

[0015]In the above-mentioned composition, a pixel output line makes it serve as a duty of the reset control line, at the time of operation which resets a gate of a transistor for amplification to power source line potential, controls potential of a pixel output line, and turns on and turns off a MOS transistor for reset. Potential is independently changed into a power supply line the whole line, and it is set as potential that a transistor for amplification of a reset potential supply line of a non selection line is un-operating, and potential that the transistor for amplification operates, as for a power supply line of a selection row, at the time of the above-mentioned reset action. By setting out of such a pixel output line and a power supply line, and control, a MOS transistor and its gate potential control line the gate potential control line of the conventional MOS transistor for reset and for line selection become unnecessary, and become easy [ reduction of a pixel ].

[0016]

[Example] Hereafter, the example of this invention is described in detail using a drawing.

The [1st example] Drawing 1 is a circuit diagram showing the 1st example of this invention. This invention is concerned with a pixel configuration and pixel operation, since readout circuitry and a horizontal scanning system are the same as the conventional example shown in drawing 4, this portion is omitted, and only the pixel placement part, vertical-scanning system, and pixel output line potential control circuit of a 2x2-pixel solid state camera are shown here. In drawing 1, the number same about the same portion as drawing 4 is attached, and explanation is omitted.

[0017] In drawing 1, 41 supplies potential to the gate of MOS transistor 9 for constant current supply of a pixel source follower, A MOS transistor for the control terminal for performing ON of constant current and OFF control and 42 to control the potential of the pixel output line 8 and 43 are the pulse input terminals for controlling the gate potential of MOS transistor 42. The pixel output line 8 of each sequence is connected to the gate of MOS transistor 5 for reset of the pixel of the sequence. The drain of MOS transistor 5 for reset and the drain of MOS transistor 3 for amplification are connected with the output line of the vertical shift register (vertical scanning circuit) 17 in common. Since output line 18-1, 18-2 of this vertical shift register bears a role of a power supply of the pixel

source follower of each line, it presupposes that it has big current supply source ability.

[0018]Except MOS transistor 42, each MOS transistor shown in drawing 1 is used as N type, and when gate potential is a High level, it presupposes that it is come by off at the time of ON and a Low level. MOS transistor 42 is used as P type, and when gate potential is a High level, it presupposes that it is set to ON at the time of OFF and a Low level.

[0019]Next, although operation of this example is explained, operation of this example only has a difference in the reset action before reading the pixel signal of one line compared with the conventional example explained by drawing 4 and drawing 5. By using the terminal 41 and the terminal 43 as a Low level, MOS transistor 9 is set to OFF, it sets the P-channel MOS transistor 42 to ON, and this reset action uses potential of the pixel output line 8 as a High level. Although MOS transistor 5 for reset will be in an ON state at this time, according to the output of a vertical shift register, the gate potential of MOS transistor 3 for amplification of the pixel of the selected line is reset by High, and the gate potential of MOS transistor 3 for amplification of the pixel of a non selection line is reset by Low. Next, setting out and terminal 43 potential are set to High for the potential of the terminal 41, and MOS transistor 42 is turned OFF so that MOS transistor 9 may send constant current. Only the pixel source follower of a



selection row operates in this state, and the reset output which is a pixel is read to the output line 8. Hereafter, in readout circuitry, a series of operations called [ output / reset / signal charge / of accumulation and the photo-diode 2 / on transmission and readout circuitry and ] accumulation in a reset + signal output to the gate of MOS transistor 3 and a drive are the same as the operation and the drive which were explained by drawing 4 and drawing 5.

[0020]In drawing 1, although the output of the vertical shift register is used for the reset potential supply sources of each line, the output through the buffer circuit where current supply source capability is high may be used. In the above-mentioned operation, when reset of a pixel is completed and the signal which is the selected pixel is outputted to a pixel output line, a drive circuit may be set up so that a reset potential supply line may serve as a High level. At this time, the potential of a pixel output line is low, and the gate potential of MOS transistor 3 does not go up, so that MOS transistor 3 of the pixel of a non selection line flows.

[0021]Since the number of the MOS transistor which constitutes a pixel, and the control lines becomes fewer according to the 1st example described above compared with the former, realization of a reduction pixel becomes easy.

The [2nd example] Drawing 2 is a circuit diagram showing the 2nd example of this invention. This invention is concerned with a pixel configuration and pixel

operation, since readout circuitry and a horizontal scanning system are the same as the conventional example shown in drawing 4, this portion is omitted, and only the pixel placement part, vertical-scanning system, and pixel output line potential control circuit of the two-dimensional solid state camera of four lines x two rows are shown. In drawing 2, the number same about the same parts as drawing 1 and drawing 4 is attached, and explanation is omitted.

[0022]In drawing 2, 44 shows the unit pixel containing two photo-diodes contiguous to a column direction. Since a photo-diode is independence respectively, the unit pixel 44 is equivalent to two pixels as an imaging device, but the signal charge accumulated in the two above-mentioned photo-diodes is transmitted to the gate section of common MOS transistor 3 for amplifier. It is the same as that of drawing 1 to be connected to the gate of MOS transistor 5 for reset of the pixel of the sequence of the pixel output line 8 of each sequence. Although it is the same as drawing 1 that the drain of MOS transistor 5 for reset and the drain of MOS transistor 3 for amplification connect in common, in the matrix layout of a photo-diode, there is a reset and power supply line per two lines. 18-1,18-2 and 18-3,18-4 are the outputs of the vertical shift register 17, and they are chosen in order to read the photo-diode of the 1st line, the 2nd line, the 3rd line, and the 4th line, respectively. Although the supply line 46 of a unit pixel with which 45 is an OR gate, two output lines of a vertical shift register are

inputted, the output line 46 turns into a reset and power supply line of the unit pixel 44, and the selected photo-diode belongs serves as a High level, Suppose that it has current supply source ability sufficient as an object for current supply.

[0023]Except MOS transistor 9, the MOS transistor of drawing 2 is used as N type, and when gate potential is a High level, it presupposes that it is come by off at the time of ON and a Low level. Only MOS transistor 9 is used as P type, and when gate potential is a High level, it presupposes that it is set to ON at the time of OFF and a Low level.

[0024]Next, although it is operation of this example, The gate of selected MOS transistor 3 is reset with High potential, The gate of MOS transistor 3 which is not chosen simultaneously is reset with Low potential, Reset output read-out, signal-charge transmission of the selected photo-diode, and a series of operations called output (reset + signal) read-out being the same as Example 1, and differing from Example 1, Since the output of two photo-diodes is assigned by one unit pixel, it is only that one unit pixel of two lines is chosen continuously. Therefore, detailed explanation is omitted.

[0025]In the 2nd example described above, even if the number of the MOS transistor which constitutes a pixel, and the control lines compares with the 1st example compared with the number of photo-diodes, in order to decrease further, realization of a reduction pixel becomes easy. Although a unit pixel contains two

photo-diodes in the 2nd example, it is realized even if it has composition containing two or more photo-diodes.

[0026]Polarity of the N type of the MOS transistor in the 1st example of the above and the 2nd example, P type, and a drive pulse may be made into reverse, respectively.

[0027]Next, the imaging system using the solid state camera of the 1st and 2nd examples of the above is explained. Based on drawing 3, one example at the time of applying the solid state image pickup device of this invention to a still camera is explained in full detail.

[0028]Drawing 3 is a block diagram showing the case where the solid state image pickup device of this invention is applied to a "still video camera."

[0029]The barrier in which 101 serves both as protection and main switch of a lens in drawing 3, The lens to which 102 makes the solid state image pickup device 104 carry out image formation of the optical image of a photographic subject, A solid state image pickup device for a diaphragm for 103 to change the light volume which passed along the lens 102, and 104 to incorporate the photographic subject by which image formation was carried out with the lens 102 as a picture signal, The A/D converter with which 106 performs analog-to-digital conversion of the picture signal outputted from the solid state image pickup device 104, The signal processing part which 107 performs various kinds of

amendments to the image data outputted from A/D converter 106, or compresses data, 108 to the solid state image pickup device 104, the imaging signal processing circuit 105, A/D converter 106, and the signal processing part 107. The timing generation part which outputs various timing signals, whole control and operation part by which 109 controls various operations and the whole still video camera, An interface part for a memory part for 110 to memorize image data temporarily and 111 to perform record or read-out to a recording medium, Removable recording media, such as semiconductor memory for 112 to perform record or read-out of image data, and 113 are the interface parts for communicating with an external computer etc.

[0030]Next, operation of the still video camera at the time of the photography in the above-mentioned composition is explained.

[0031]One [ when opened by the barrier 101, are one / main power /, then, and / the power supply of imaging system circuits, such as A/D converter 106 ] further.

[ the power supply of a control system ]

[0032]And in order to control a light exposure, whole control and the operation part 109 carry out the diaphragm 103 to opening, and after the signal outputted from the solid state image pickup device 4 is changed with A/D converter 106, it is inputted into the signal processing part 107. Exposure based on the data is calculated by whole control and the operation part 109.

[0033]Judging a luminosity by the result of having performed this light measurement, according to that result, whole control and the operation part 109 control a diaphragm.

[0034]Next, based on the signal outputted from the solid state image pickup device 104, a high frequency component is taken out and the distance to a photographic subject is calculated by whole control and the operation part 109.

Then, when a lens is driven, it judges whether it is a focus and it judges that it is not focusing, it ranges by driving a lens again.

[0035]And after a focus is checked, this exposure starts. After exposure is completed, A-D conversion of the picture signal outputted from the solid state image pickup device 104 is carried out with A/D converter 106, and it is written in a memory part by whole control and the operation 109 through the signal processing part 107. Then, the data stored in the memory part 110 is recorded on the removable recording media 112, such as semiconductor memory, by control of whole control and the operation part 109 through a recording-medium control I/F part. It may input into a computer etc. directly through the external I/F part 113, and a picture may be processed.

[0036]

[Effect of the Invention]As explained above, according to this invention, the number of a MOS transistor and the gate potential control lines can be reduced

compared with the former, and the reduction which is a pixel becomes easy by the members forming which constitutes a pixel, for example, a CMOS sensor.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing the 1st example of this invention.

[Drawing 2] It is a circuit diagram showing the 2nd example of this invention.

[Drawing 3] It is a block diagram showing the case where the solid state camera of this invention is applied to a still video camera.

[Drawing 4] It is a figure showing the solid state camera of a conventional example.

[Drawing 5] It is a timing chart figure of the solid state camera of drawing 4.

[Description of Notations]

1 Pixel

2 Photo-diode

3 MOS transistor

4 MOS transistor

5 MOS transistor

6 Power source wire

7 MOS transistor

8 Pixel output line

9 MOS transistor

10 Gate control line

11 Gate control line

12 Gate control line

13 Gate control line

14 Pulse input terminal



15 Pulse input terminal

16 Pulse input terminal

17 Vertical shift register

18-1,18-2, an 18-3,18-4 vertical-shift-register output line

19 MOS transistor

20 MOS transistor

21 MOS transistor

22 Readout circuitry

23 Storage capacitance

24 Storage capacitance

25 MOS transistor

26 MOS transistor

27 Level output line

28 Level output line

29 MOS transistor

30 MOS transistor

31 MOS transistor

32 MOS transistor

33 Potential supply terminal

34 Horizontal shift register

The output line of 35-1,35-2 horizontal shift register

36 Pulse input terminal

37 Pulse input terminal

38 Pulse input terminal

39 Differential amplifier

40 Output terminal

41 Gate potential input terminal

42 MOS transistor

43 Pulse input terminal

44 Photo-diode common unit pixel

45 OR gate

46 The output of OR gate 45 (reset and power supply line of a pixel)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-77731

(P2002-77731A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 4 N 5/335

H 0 4 N 5/335

E 4 M 1 1 8

H 0 1 L 27/146

5/232

Z 5 C 0 2 2

H 0 4 N 5/232

101:00

5 C 0 2 4

// H 0 4 N 101:00

H 0 1 L 27/14

A

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号

特願2000-256356 (P2000-256356)

(22) 出願日

平成12年8月25日 (2000.8.25)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 篠原 真人

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100065385

弁理士 山下 穰平

Fターム (参考) 4M118 AA10 AB01 BA09 CA03 DD10

DD12 FA06 FA34 FA42

5C022 AA13 AC42 AC69

5C024 CY47 GX02 GX15 GY32 GY38

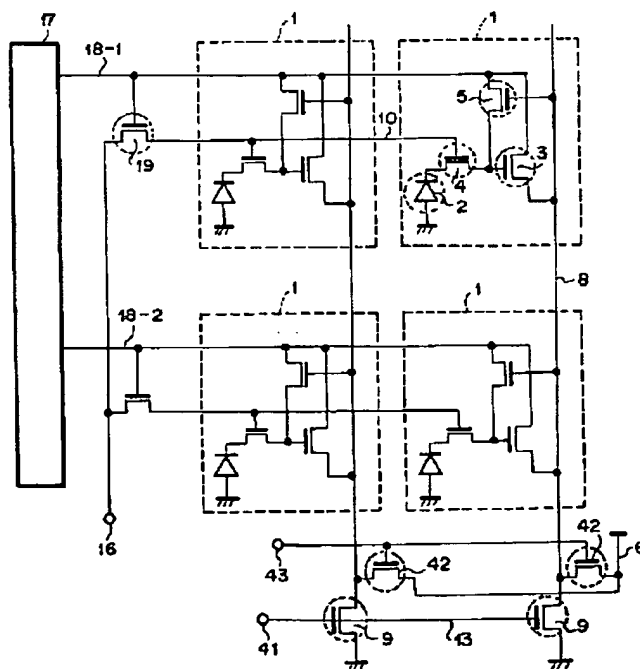
GY39 GY41 HX46

(54) 【発明の名称】 固体撮像装置および撮像システム

(57) 【要約】

【課題】 画素を構成するMOSトランジスタおよびゲート電位制御線の数減らす。

【解決手段】 光電変換部2と、光電変換部からの信号を読み出す読み出し手段3と、読み出し手段の入力部をリセットするために、リセット信号を入力部に供給するためのリセット手段5とを含む画素と、読み出し手段3からの信号が読み出される出力線8とを有し、リセット手段5は、出力線8の信号レベルに応じて制御される。



### 【特許請求の範囲】

【請求項1】 光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素と、前記読み出し手段からの信号が読み出される出力線とを有し、前記リセット手段は、前記出力線の信号レベルに応じて制御されることを特徴とする固体撮像装置。

【請求項2】 それぞれ、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするためのリセット手段とを含む、水平方向と垂直方向に配列された複数の画素を有し、前記読み出し手段を駆動させるための信号配線と、前記リセット手段を介して前記読み出し手段の入力部にリセット信号を供給するための信号配線とを共通にし、共通の前記信号配線は、水平方向の複数の画素毎に信号を独立に供給することを特徴とする固体撮像装置。

【請求項3】 請求項1又は請求項2に記載の固体撮像装置において、前記読み出し手段の入力部をリセットするためのリセット電位は該読み出し手段に接続される電源配線から供給されることを特徴とする固体撮像装置。

【請求項4】 請求項1又は請求項2に記載の固体撮像装置において、前記読み出し手段及び前記リセット手段はそれぞれMOS型トランジスタであることを特徴とする固体撮像装置。

【請求項5】 請求項1～4のいずれかの請求項に記載の固体撮像装置において、前記光電変換部と前記読み出し手段の入力部との間に転送スイッチを備え、該光電変換部に蓄積された信号電荷は該転送スイッチを通して前記読み出し手段の入力部に転送されることを特徴とする固体撮像装置。

【請求項6】 請求項1～4のいずれかの請求項に記載の固体撮像装置において、前記読み出し手段の入力部には複数の転送スイッチが接続され、各転送スイッチにより複数の光電変換部から独立に信号電荷が転送されることを特徴とする固体撮像装置。

【請求項7】 請求項1～6のいずれかの請求項に記載の固体撮像装置と、該固体撮像装置へ光を結像する光学系と、該固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は固体撮像装置および撮像システムに係わり、特に光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素

である。

#### 【0002】

【従来の技術】従来、固体撮像装置としては、そのS/N比の良さからCCDが多く使われている。しかし、一方ではその使い方の簡便さや消費電力の小ささを長所とするいわゆる増幅型固体撮像装置の開発も行なわれてきた。増幅型固体撮像装置とは、受光画素に蓄積された信号電荷を、画素部に備わったトランジスタの制御電極に導き、増幅された信号を主電極から出力するタイプのものであり、増幅用トランジスタとしてSIT（静電誘導トランジスタ）を使ったSIT型イメージセンサ、バイポーラトランジスタを使ったBASSIS、制御電極が空乏化するJFET（接合型電界効果トランジスタ）を使ったCMD、MOSトランジスタを使ったCMOSセンサなどがある。特にCMOSセンサは、CMOSプロセスとのマッチングが良く周辺CMOS回路をオンチップ化できることから開発に力が注がれている。

【0003】図4は、従来のCMOSイメージセンサを表わす回路図であり、同図において1は単位画素であって、簡単のため2×2画素としている。2は光を受け信号電荷を蓄積するためのフォトダイオード、3は信号電荷増幅用のMOSトランジスタ、4はフォトダイオード2に蓄積された信号電荷をMOSトランジスタ3のゲート電極部に転送するための転送用MOSトランジスタ、5はMOSトランジスタ3のゲート電極電位をリセットするためのリセット用MOSトランジスタ、6は電源電位供給線であり、リセット用MOSトランジスタ5のドレイン電極と増幅用MOSトランジスタ3のドレイン電極は、共通に電源電位供給線6に接続されている。7は出力画素を選択するための選択スイッチ用MOSトランジスタ、8は画素出力線であり、選択スイッチ用MOSトランジスタ7がオン状態になると、増幅用MOSトランジスタ3のソース電極と出力線8とが導通し、選択された画素の信号出力が出力線8に導かれる。9は画素出力線8に定電流を供給するための定電流供給用MOSトランジスタであり、選択された画素の選択スイッチ用MOSトランジスタ7を通して増幅用MOSトランジスタ3に負荷電流を供給し、増幅用MOSトランジスタ3をソースフォロワとして動作させ、MOSトランジスタ3のゲート電位とある一定の電圧差を持つ電位が出力線8に表われるようにしている。

【0004】また、10は転送用MOSトランジスタ4のゲート電位を制御するための転送制御線、11はリセット用MOSトランジスタ5のゲート電位を制御するためのリセット制御線、12は選択用MOSトランジスタ7のゲート電位を制御するための選択制御線、13はMOSトランジスタ9が定電流供給源となるような飽和領域動作をするようにMOSトランジスタ9のゲートに一定の電位を供給するための定電位供給線である。14は転送制御線10に転送パルスを供給するためのパルス増

子、15はリセット制御線11にリセットパルスを供給するためのパルス端子、16は選択制御線12に選択パルスを供給するためのパルス端子、17は行列配置の画素の行を順次選択走査するための垂直走査回路、18は垂直走査回路17の出力線であって、18-1は第1行選択出力線、18-2は第2行選択出力線である。19は転送制御線10にパルス端子14からのパルスを導くためのスイッチ用MOSトランジスタ、20はリセット制御線11にパルス端子15からのパルスを導くためのスイッチ用MOSトランジスタ、21は選択制御線12にパルス端子16からのパルスを導くためのスイッチ用MOSトランジスタであって、MOSトランジスタ19、20、21のゲートは行選択出力線18に接続され、どの行の画素が駆動されるかは行選択出力線18の状態によって決まる。

【0005】また、22は画素からの出力読み出し回路であり、23は画素のリセット信号出力を保持するための容量、24は画素の光信号出力を保持するための容量、25は画素出力線8と容量23との導通をオンオフするためのスイッチ用MOSトランジスタ、26は画素出力線8と容量24との導通をオンオフするためのスイッチ用MOSトランジスタ、27は容量23に保持されたリセット出力が導かれるノイズ出力線、28は容量24に保持された光出力が導かれる信号出力線、29は容量23とノイズ出力線27との導通をオンオフするためのスイッチ用MOSトランジスタ、30は容量24と信号出力線28との導通をオンオフするためのスイッチ用MOSトランジスタ、31はノイズ出力線27の電位をリセットするためのノイズ出力線リセット用MOSトランジスタ、32は信号出力線28の電位をリセットするための信号出力線リセット用MOSトランジスタ、33はリセット用MOSトランジスタ31及び32のソース電極にリセット電位を供給するための電源端子、34は行列配置の画素の列毎に設けられた上記容量23、24を順次選択していくための水平走査回路であって、35-1は第1列を選択する出力線、35-2は第2列を選択する出力線であり、この水平走査回路34の出力線はスイッチ用MOSトランジスタ29、30に接続されている。また36はリセット用MOSトランジスタ31、32のゲートにパルスを印加するためのパルス供給端子、37、38は各々スイッチ用MOSトランジスタ25、26のゲートにパルスを印加するためのパルス供給端子、39はノイズ出力線27の電位と信号出力線28の電位との差電圧分を増幅して出力する差動アンプ、40は差動アンプ39の出力端子である。

【0006】次に図5のタイミングチャートを使い、図4のセンサの動作を説明する。なお図4で示されているMOSトランジスタはすべてN型とし、ゲート電位がHighのレベルでオン状態、Lowのレベルでオフ状態になる。図5には、図4における各端子の電位を示す。

号は図4におけるパルス入力端子の番号と一致させている。

【0007】まず垂直走査回路17の動作によって行選択出力線18-1がHighレベルとなると画素行列の第1行の動作が可能となる。パルス端子16がHighレベルとなると画素の増幅用MOSトランジスタ3のソースが出力線8を通して定電流源9と接続することで画素のソースフォロウ出力が出力線8に出力される。そしてパルス端子15をHighレベルとすることで増幅用MOSトランジスタ3のゲート部がリセット用MOSトランジスタ5によってリセットされ、次にパルス供給端子37にHighパルスを印加した時、画素のリセット出力がMOSトランジスタ25を通して容量23に蓄積される。

【0008】次に端子14にHighパルスを印加することでフォトダイオード2に蓄積された信号電荷が転送用MOSトランジスタ4を通してMOSトランジスタ3のゲートに転送される。引き続き端子38にHighパルスを印加した時、画素のリセット出力に信号が上乗せされた出力がMOSトランジスタ26を通して容量24に蓄積される。画素のリセット出力は各画素のMOSトランジスタ3のしきい電圧のばらつきがあるためばらつきを生じる。よって容量23と容量24に蓄積された出力の差分がノイズのない純粋な信号となる。水平走査回路34を動かせば出力線35-1、35-2が順次Highとなり各列の容量23、24に蓄積された出力はそれぞれMOSトランジスタ29、30を通して水平出力線27、28に導かれる。出力線35-1、35-2のHighパルスが出力される前には端子36をHighレベルとしMOSトランジスタ31、32を通して水平出力線27、28をリセットしておく。水平出力線27、28に導かれた画素リセット出力及び画素リセットレベルに上乗せされた信号出力は差動アンプ39に入力され、リセットレベル分が差し引かれた、すなわちノイズのない画素信号が出力端子40から出力される。

【0009】

【発明が解決しようとする課題】しかし上記従来例ではひとつの画素を構成するMOSトランジスタおよび、制御線の数が多く、縮小画素を実現するのが困難であるという課題があった。すなわち、図4に示した従来例においては、1画素はフォトダイオード、電源線、画素出力線のほか4つのMOSトランジスタおよび3本の制御線を有しており、単純な構成であるCCDの画素と比べると縮小画素の実現は不利であった。

【0010】本発明の主たる目的は、CMOSセンサ等のXYアドレス型のセンサの画素を構成するトランジスタおよび制御線の数減らし、画素の縮小化を容易にすることにある。

【0011】

【課題を解決するための手段および作用】本発明の画素

撮像装置は、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素と、前記読み出し手段からの信号が読み出される出力線とを有し、前記リセット手段は、前記出力線の信号レベルに応じて制御されることを特徴とする。

【0012】また本発明の固体撮像装置は、それぞれ、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするためのリセット手段とを含む、水平方向と垂直方向に配列された複数の画素を有し、前記読み出し手段を駆動させるための信号配線と、前記リセット手段を介して前記読み出し手段の入力部にリセット信号を供給するための信号配線とを共通にし、共通の前記信号配線は、水平方向の複数の画素毎に信号を独立に供給することを特徴とする。

【0013】本発明について、図1の構成を例にとって説明する。

【0014】図1に示すように、本発明は、リセット手段となるリセット用MOSトランジスタ5のドレイン部に接続するリセット電位供給線を、読み出し手段となる増幅用MOSトランジスタ3のドレイン部に接続する電源供給線と共通化し、また画素出力線8をリセット用MOSトランジスタ5のゲートに接続し、行選択用のMOSトランジスタとそのゲート電位制御線およびリセット用MOSトランジスタのゲート電位制御線をなくすことを可能とするものである。

【0015】上記構成において、画素出力線はリセット制御線の役目を兼ねさせ、増幅用トランジスタのゲートを電源線電位にリセットする動作時、画素出力線の電位を制御し、リセット用MOSトランジスタをON、OFFする。また電源供給線は行毎独立に電位が変えられるようにし、上記リセット動作時に、非選択行のリセット電位供給線は増幅用トランジスタが非動作となるような電位、選択行の電源供給線は増幅用トランジスタが動作するような電位に設定する。このような画素出力線および電源供給線の設定、制御により、従来のリセット用MOSトランジスタのゲート電位制御線、行選択用のMOSトランジスタおよびそのゲート電位制御線は不要となり、画素の縮小化が容易となる。

【0016】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

【第1の実施例】図1は本発明の第1の実施例を示す回路図である。本発明は画素構成および画素動作にかかわり、読み出し回路、水平走査系は図4に示した従来例と同じであるのでこの部分を省略し、ここでは、2×2画素固体撮像装置の画素配置部と垂直走査系、および画素出力線電位制御回路のみを示している。図1において、

図4と同じ部分については同じ番号を付し、説明を省略する。

【0017】図1において、41は画素ソースフォロウの定電流供給用MOSトランジスタ9のゲートに電位を供給し、定電流のON、OFF制御をおこなうための制御端子、42は画素出力線8の電位を制御するためのMOSトランジスタ、43はMOSトランジスタ42のゲート電位を制御するためのパルス入力端子である。また各列の画素出力線8はその列の画素のリセット用MOSトランジスタ5のゲートに接続されている。またリセット用MOSトランジスタ5のドレインと増幅用MOSトランジスタ3のドレインは共通に垂直シフトレジスタ（垂直走査回路）17の出力線と接続している。この垂直シフトレジスタの出力線18-1, 18-2は各行の画素ソースフォロウの電源としての役割を担うため、大きな電流供給能力があるとする。

【0018】なお、図1に示す各MOSトランジスタは、MOSトランジスタ42以外はN型とし、ゲート電位がHighレベルの時にON、Lowレベルの時にOFFになるとする。MOSトランジスタ42はP型とし、ゲート電位がHighレベルの時にOFF、Lowレベルの時にONになるとする。

【0019】次に本実施例の動作について説明するが、本実施例の動作は、図4、図5で説明した従来例と比べて、1行の画素信号の読み出しを行う前のリセット動作に違いがあるだけである。このリセット動作は端子41および端子43をLowレベルとして、MOSトランジスタ9をOFF、P型MOSトランジスタ42をONとして、画素出力線8の電位をHighレベルとする。この時リセット用MOSトランジスタ5はON状態となるが、垂直シフトレジスタの出力に従い、選択された行の画素の増幅用MOSトランジスタ3のゲート電位はHighに、非選択行の画素の増幅用MOSトランジスタ3のゲート電位はLowにリセットされる。次にMOSトランジスタ9が定電流を流すように端子41の電位を設定、端子43電位をHighとしてMOSトランジスタ42をOFFにする。この状態においては選択行の画素ソースフォロウのみが動作し、画素のリセット出力が出力線8に読み出される。以下、読み出し回路においてリセット出力を蓄積、フォトダイオード2の信号電荷をMOSトランジスタ3のゲートへ転送、読み出し回路においてリセット+信号出力を蓄積、という一連の動作、駆動は図4、図5で説明した動作、駆動と同じである。

【0020】図1において、各行のリセット電位供給線には垂直シフトレジスタの出力を用いているが、電流供給能力の高いバッファ回路を通した出力を用いてもよい。また上記動作において、画素のリセットが終了し、選択された画素の信号が画素出力線に出力された時点でリセット電位供給線がHighレベルとなるように駆動回路を設定してよい。この時、画素出力線の電位は低

く、非選択行の画素のMOSトランジスタ3が導通するほどMOSトランジスタ3のゲート電位が上がることはない。

【0021】以上説明した第1の実施例によって、画素を構成するMOSトランジスタ、制御線の数従来に比べて減るため、縮小画素の実現が容易となる。

〔第2の実施例〕図2は本発明の第2の実施例を示す回路図である。本発明は画素構成および画素動作にかかわり、読み出し回路、水平走査系は図4に示した従来例と同じであるのでこの部分を省略し、4行×2列の2次元固体撮像装置の画素配置部と垂直走査系、および画素出力線電位制御回路のみを示している。図2において、図1、図4と同じ部品については同じ番号を付し、説明を省略する。

【0022】図2において、44は列方向に隣接する2つのフォトダイオードを含む単位画素を示している。フォトダイオードは各々独立であるので、単位画素44は撮像装置としての画素2つ分に相当するが、上記2つのフォトダイオードに蓄積した信号電荷は共通のアンプ用MOSトランジスタ3のゲート部に転送される。各列の画素出力線8はその列の画素のリセット用MOSトランジスタ5のゲートに接続されているのは図1と同じである。リセット用MOSトランジスタ5のドレインと増幅用MOSトランジスタ3のドレインが共通に接続するのも図1と同じであるが、フォトダイオードの行列配置において2行につき1本のリセット兼電源供給線がある。18-1、18-2、18-3、18-4は垂直シフトレジスタ17の出力であり、それぞれ第1行目、第2行目、第3行目、第4行目のフォトダイオードを読み出すために選択する。45は論理ゲートであって、垂直シフトレジスタの出力線2本が入力され、その出力線46は単位画素44のリセット兼電源供給線となり、選択されたフォトダイオードが属する単位画素の供給線46はHighレベルとなるが、電源供給用として十分な電流供給能力があるとする。

【0023】なお、図2のMOSトランジスタは、MOSトランジスタ9以外はN型とし、ゲート電位がHighレベルの時にON、Lowレベルの時にOFFになるとする。MOSトランジスタ9のみはP型とし、ゲート電位がHighレベルの時にOFF、Lowレベルの時にONになるとする。

【0024】次にこの実施例の動作であるが、選択されたMOSトランジスタ3のゲートをHigh電位でリセット、同時に選択されていないMOSトランジスタ3のゲートをLow電位でリセット、リセット出力読み出し、選択されたフォトダイオードの信号電荷転送、(リセット+信号)出力読み出しという一連の動作は実施例1と同じであり、実施例1と違うのは、ひとつの単位画素に2つのフォトダイオードの出力を割り当てられてい

ることだけである。よって詳しい説明は省略する。

【0025】以上説明した第2の実施例においては、画素を構成するMOSトランジスタ、制御線の数フォトダイオード数に比べて、第1の実施例と比べてもさらに減るため、縮小画素の実現が容易となる。なお第2の実施例においては単位画素は2つのフォトダイオードを含むとしているが、2つ以上のフォトダイオードを含む構成にしても成り立つ。

【0026】なお上記第1の実施例、および第2の実施例におけるMOSトランジスタのN型、P型、および駆動パルスの極性をそれぞれ逆にしてもよい。

【0027】次に上記第1及び第2の実施例の固体撮像装置を用いた撮像システムについて説明する。図3に基づいて、本発明の固体撮像素子をスチルカメラに適用した場合の一実施例について詳述する。

【0028】図3は本発明の固体撮像素子を“スチルビデオカメラ”に適用した場合を示すブロック図である。

【0029】図3において、101はレンズのプロテクトとメインスイッチを兼ねるバリア、102は被写体の光学像を固体撮像素子104に結像させるレンズ、103はレンズ102を通った光量を可変するための絞リ、104はレンズ102で結像された被写体を画像信号として取り込むための固体撮像素子、106は固体撮像素子104より出力される画像信号のアナログ→デジタル変換を行うA/D変換器、107はA/D変換器106より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、108は固体撮像素子104、撮像信号処理回路105、A/D変換器106、信号処理部107に、各種タイミング信号を出力するタイミング発生部、109は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、110は画像データを一時的に記憶するためのメモリ部、111は記録媒体に記録または読み出しを行うためのインターフェース部、112は画像データの記録または読み出しを行うための半導体メモリ等の着脱可能な記録媒体、113は外部コンピュータ等と通信するためのインターフェース部である。

【0030】次に、前述の構成における撮影時のスチルビデオカメラの動作について、説明する。

【0031】バリア101がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、さらに、A/D変換器106などの撮像系回路の電源がオンされる。

【0032】それから、露光量を制御するために、全体制御・演算部109は絞リ103を開放にし、固体撮像素子4から出力された信号はA/D変換器106で変換された後、信号処理部107に入力される。そのデータを基に露出の演算を全体制御・演算部109で行う。

【0033】この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部109は絞リを

制御する。

【0034】次に、固体撮像素子104から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部109で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズを駆動し測距を行う。

【0035】そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子104から出力された画像信号はA/D変換器106でA-D変換され、信号処理部107を通り全体制御・演算部109によりメモリ部110に書き込まれる。その後、メモリ部110に蓄積されたデータは、全体制御・演算部109の制御により記録媒体制御I/F部を通り半導体メモリ等の着脱可能な記録媒体112に記録される。又外部I/F部113を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0036】

【発明の効果】以上説明したように本発明によれば、画素を構成する構成部材、例えばCMOSセンサではMOSトランジスタ、ゲート電位制御線の数従来に比べて減らすことができ、画素の縮小化が容易となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す回路図である。

【図2】本発明の第2の実施例を示す回路図である。

【図3】本発明の固体撮像装置をスチルビデオカメラに適用した場合を示すブロック図である。

【図4】従来例の固体撮像装置を示す図である。

【図5】図4の固体撮像装置のタイミングチャート図である。

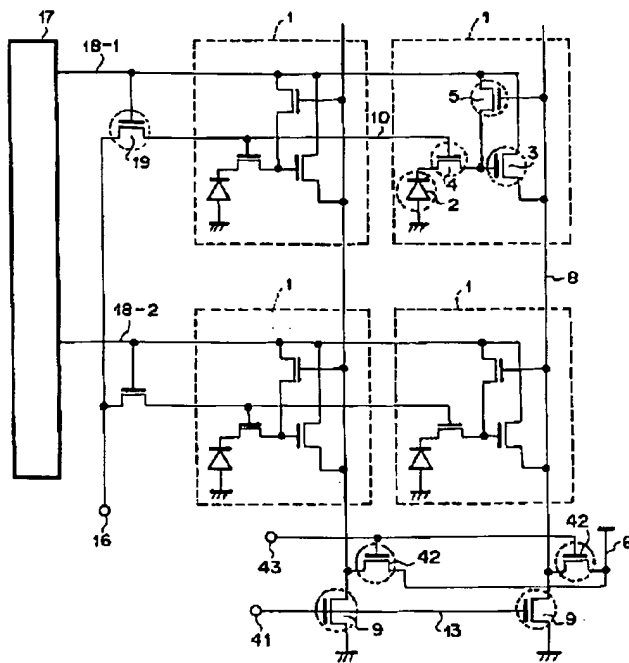
【符号の説明】

- 1 画素
- 2 フォトダイオード
- 3 MOSトランジスタ
- 4 MOSトランジスタ
- 5 MOSトランジスタ
- 6 電源線
- 7 MOSトランジスタ
- 8 画素出力線
- 9 MOSトランジスタ

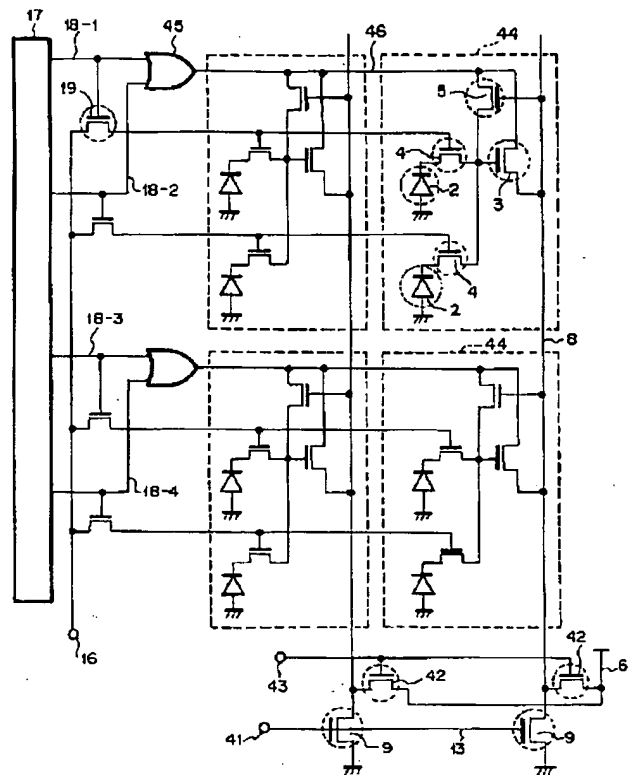
- 10 ゲート制御線
- 11 ゲート制御線
- 12 ゲート制御線
- 13 ゲート制御線
- 14 パルス入力端子
- 15 パルス入力端子
- 16 パルス入力端子
- 17 垂直シフトレジスタ
- 18-1, 18-2, 18-3, 18-4 垂直シフトレジスタ出力線
- 19 MOSトランジスタ
- 20 MOSトランジスタ
- 21 MOSトランジスタ
- 22 読み出し回路
- 23 蓄積容量
- 24 蓄積容量
- 25 MOSトランジスタ
- 26 MOSトランジスタ
- 27 水平出力線
- 28 水平出力線
- 29 MOSトランジスタ
- 30 MOSトランジスタ
- 31 MOSトランジスタ
- 32 MOSトランジスタ
- 33 電位供給端子
- 34 水平シフトレジスタ
- 35-1, 35-2 水平シフトレジスタの出力線
- 36 パルス入力端子
- 37 パルス入力端子
- 38 パルス入力端子
- 39 差動アンプ
- 40 出力端子
- 41 ゲート電位入力端子
- 42 MOSトランジスタ
- 43 パルス入力端子
- 44 フォトダイオード共通単位画素
- 45 論理和ゲート
- 46 論理和ゲート45の出力（画素のリセット兼電源供給線）



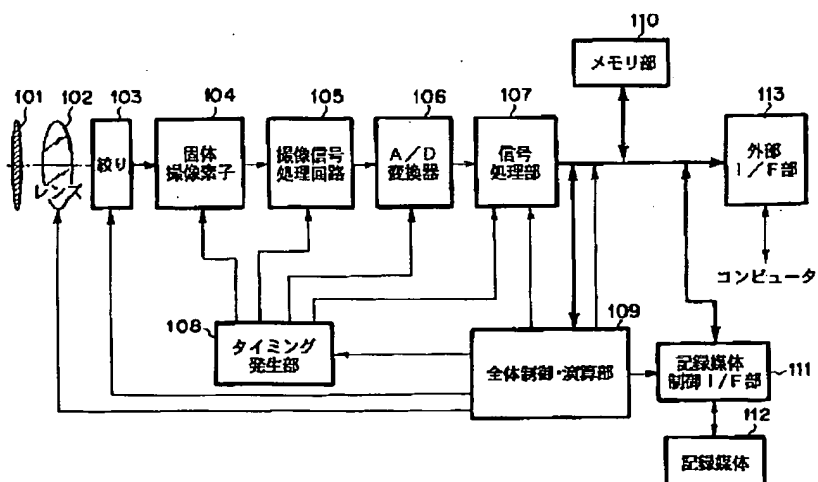
【図1】



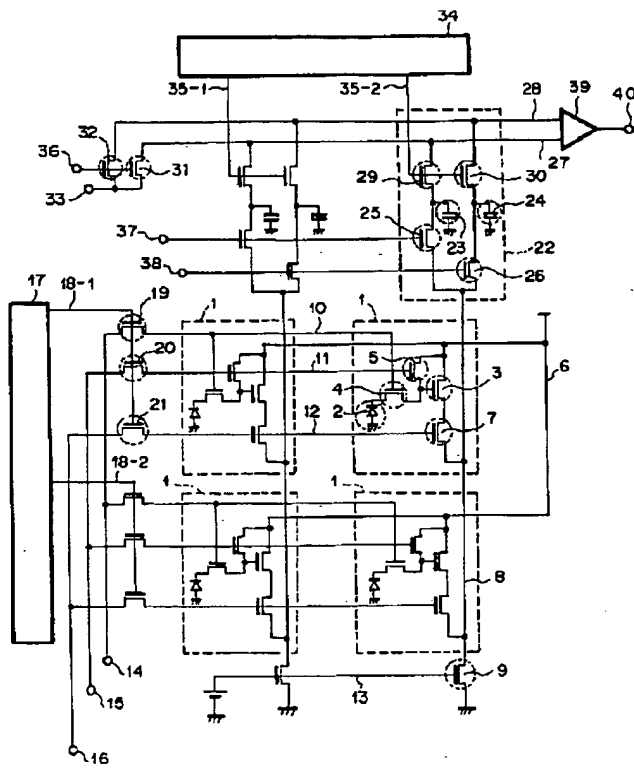
【図2】



【図3】



【図4】



【図5】

